

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-338832

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁶

G 0 6 F 15/16

識別記号

3 3 0

F I

G 0 6 F 15/16

3 3 0 Z

審査請求 未請求 請求項の数28 O L (全 20 頁)

(21) 出願番号 特願平10-143868

(22) 出願日 平成10年(1998) 5 月26日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山田 高裕

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 山口 雅史

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

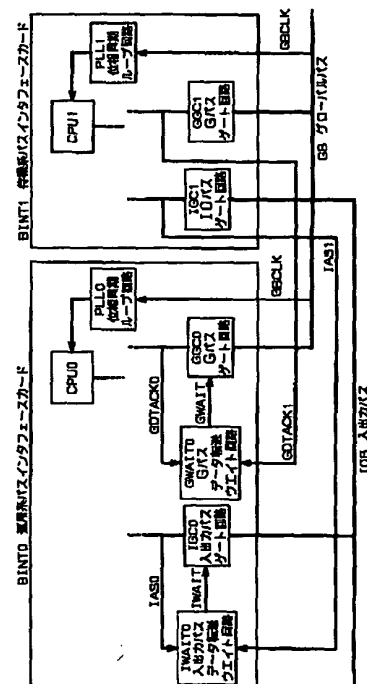
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 プロセッサの同期装置および同期方法

(57) 【要約】

【課題】 通信制御用コンピュータの入出力バスとグローバルバスを接続する2重化されたバスインタフェースカードにおいては、データ転送のオーバーヘッドが大きく、通信制御用コンピュータの処理速度の高速化が妨げられている。

【解決手段】 運用系プロセッサカードと待機系プロセッサカードのプロセッサクロックを同期化する機構を備え、運用系プロセッサカードがカード外の装置とデータ転送を行う時に、カード間を接続するバスのデータ転送開始および完了の信号を使って、待機系プロセッサカードの処理の遅れを待つことにより、短い時間で2枚のカードの同期を取ることができるので、データ転送のオーバーヘッドを低減し、処理速度を高速化することができる。



【特許請求の範囲】

【請求項 1】運用系プロセッサカードと待機系プロセッサカードのプロセッサクロックを同期化する機構を備え、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードと同一処理タイミングになるまでデータ転送を待たせる機構を備えることを特徴とするプロセッサの同期装置。

【請求項 2】処理が進んでいるプロセッサカードが、各カード間を接続するバス信号を使って、処理が遅れているプロセッサカードと同一処理タイミングになるまで、データ転送を待たせる機構を備えることを特徴とする請求項 1 記載のプロセッサの同期装置。

【請求項 3】運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ機構を備えることを特徴とする請求項 1 または請求項 2 に記載のプロセッサの同期装置。

【請求項 4】待機系プロセッサカードのデータ転送の開始および完了を検出する機構を備え、前記検出機構からのデータ転送開始および完了の信号を運用系プロセッサカードに通知する信号線を備えることを特徴とする請求項 3 に記載のプロセッサの同期装置。

【請求項 5】プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードと同一処理タイミングになるまでデータ転送を待たせる機構を備えることを特徴とする請求項 1 または請求項 2 に記載のプロセッサの同期装置。

【請求項 6】プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ機構を備えることを特徴とする請求項 3 または請求項 4 に記載のプロセッサの同期装置。

【請求項 7】割り込みが発生した時に、運用系プロセッサカード内の割り込み発生信号のみを各プロセッサカードを接続するバスに出力する機構を備えることを特徴とする請求項 1 から請求項 6 のいずれか 1 項に記載のプロセッサの同期装置。

【請求項 8】待機系プロセッサカードからの割り込み発生信号と、運用系プロセッサカード内の割り込み発生信号がともに有効になったときに、各プロセッサカードを接続するバスに割り込み発生信号を出力する機構を備えることを特徴とする請求項 1 から請求項 6 のいずれか 1 項に記載のプロセッサの同期装置。

【請求項 9】プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカード

に対する、処理が遅れているプロセッサカードの処理遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、同一処理タイミングになるまでデータ転送を待つ機構を解除する機構を備えることを特徴とする請求項 1 または請求項 2 に記載のプロセッサの同期装置。

【請求項 10】運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ機構を解除する機構を備えることを特徴とする請求項 3 または請求項 4 に記載のプロセッサの同期装置。

【請求項 11】運用系プロセッサカードと待機系プロセッサカード間の処理遅れの時間が、あらかじめ決められた時間以上の時に、処理が遅れているプロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知する機構を備えることを特徴とする請求項 9 に記載のプロセッサの同期装置。

【請求項 12】運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間があらかじめ決められた時間以上の時に、待機系プロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知する機構を備えることを特徴とする請求項 10 に記載のプロセッサの同期装置。

【請求項 13】運用系プロセッサカードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて運用する機構を備えることを特徴とする請求項 11 に記載のプロセッサの同期装置。

【請求項 14】待機系プロセッサカードの処理に対する運用系プロセッサカードの処理遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知する機構を備え、運用系カードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて運用する機構を備えることを特徴とする請求項 12 に記載のプロセッサの同期装置。

【請求項 15】運用系プロセッサカードと待機系プロセッサカードのプロセッサクロックを同期化する方法を備え、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードと同一処理タイミングになるまでデータ転送を待たせる方法を備えることを特徴とするプロセッサの同期方法。

【請求項 16】処理が進んでいるプロセッサカードが、各カード間を接続するバス信号を使って、処理が遅れて

いるプロセッサカードと同一処理タイミングになるまで、データ転送を待たせる方法を備えることを特徴とする請求項15に記載のプロセッサの同期方法。

【請求項17】運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ方法を備えることを特徴とする請求項15または請求項16に記載のプロセッサの同期方法。

【請求項18】待機系プロセッサカードのデータ転送の開始および完了を検出する方法を備え、前記検出方法によるデータ転送開始および完了の信号を運用系プロセッサカードに通知する方法を備えることを特徴とする請求項17に記載のプロセッサの同期方法。

【請求項19】プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードと同一処理タイミングになるまでデータ転送を待たせる方法を備えることを特徴とする請求項15または請求項16に記載のプロセッサの同期方法。

【請求項20】プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ方法を備えることを特徴とする請求項17または請求項18に記載のプロセッサの同期方法。

【請求項21】割り込みが発生した時に、運用系プロセッサカード内の割り込み発生信号のみを各プロセッサカードを接続するバスに出力する方法を備えることを特徴とする請求項15から請求項20のいずれか1項に記載のプロセッサの同期方法。

【請求項22】待機系プロセッサカードからの割り込み発生信号と、運用系プロセッサカード内の割り込み発生信号がともに有効になったときに、各プロセッサカードを接続するバスに割り込み発生信号を出力する方法を備えることを特徴とする請求項15から請求項20のいずれか1項に記載のプロセッサの同期方法。

【請求項23】プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードに対する、処理が遅れているプロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、同一処理タイミングになるまでデータ転送を待つ方法を解除する方法を備えることを特徴とする請求項15または請求項16に記載のプロセッサの同期方法。

【請求項24】運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードが、待機系プロセッサカードの

処理の遅れを待つ方法を解除する方法を備えることを特徴とする請求項17または請求項18に記載のプロセッサの同期方法。

【請求項25】運用系プロセッサカードと待機系プロセッサカード間の処理遅れの時間が、あらかじめ決められた時間以上の時に、処理が遅れているプロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知する方法を備えることを特徴とする請求項23に記載のプロセッサの同期方法。

10 【請求項26】運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間があらかじめ決められた時間以上の時に、待機系プロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知する方法を備えることを特徴とする請求項24に記載のプロセッサの同期方法。

20 【請求項27】運用系プロセッサカードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて運用する方法を備えることを特徴とする請求項25に記載のプロセッサの同期方法。

【請求項28】待機系プロセッサカードの処理に対する運用系プロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知する方法を備え、運用系カードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて運用する方法を備えることを特徴とする請求項26に記載のプロセッサの同期方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、携帯電話等の移動体通信基地局で使用されている通信制御用コンピュータのプロセッサの同期装置および同期方法に関するものである。

【0002】

40 【従来の技術】近年、携帯電話等の移動体通信機器の急激な増加に伴い、通話の開始、終了、位置の登録、無線品質の監視等の膨大な情報を処理するために使用される移動体通信基地局の通信制御用コンピュータの重要性が増している。

【0003】以下に従来の技術による移動体通信基地局の通信制御用コンピュータについて、図を用いて説明する。

50 【0004】図5は、従来の通信制御用コンピュータの構成例を示す図である。IOL0、IOL1は通話の開始、終了、位置登録、品質監視等の通信制御データを通信基地局等の対向装置と送受信するための入出力回線、

5

IOC0、IOC1は対向装置と通信制御データを送受信するための入出力カード、PC0~PC2は通信制御データを処理するためのプロセッサカード、MEMC0、MEMC1は現在行われている通信の各種情報を有する制御テーブルを記録しているメモリカードであり、ここでは2重化構成になっており、MEMC0が運用系共通メモリカードであり、MEMC1が待機系共通メモリカードとなっている。

【0005】BINT0、BINT1は入出力カードからの通信制御データをプロセッサカードに転送したり、プロセッサカードで処理された通信制御データを入出力カードに転送するためのバスインタフェースカードであり、これらも同様に2重化構成になっており、BINT0が運用系バスインタフェースカードであり、BINT1が待機系バスインタフェースとなっている。

【0006】SOPCは各カードが正常に動作しているかを監視するための監視カードであり、GBはプロセッサカード、バスインタフェースカード、共通メモリカード、監視カードを接続するためのグローバルバス、IOBは入出力カードとバスインタフェースカードを接続するための入出力バスである。

【0007】図5のように構成された通信制御用コンピュータにおいて、データの処理の流れを説明する。

【0008】通信制御データが入出力回線IOL0、IOL1を介してそれぞれ入出力カードIOC0、IOC1に入力される。運用系バスインタフェースカードBINT0は一定時間ごとに、入出力カードが処理すべきデータを有しているかどうかをチェックしており、データがあればBINT0は入出力カードIOC0あるいはIOC1の通信制御データを入出力バスIOBを介して自カード内に読み込むとともに、待機系バスインタフェースカードBINT1に書き込む。

【0009】バスインタフェースカードには、通常プロセッサが内蔵されており、取り込んだ入出力バス上の通信制御データを、グローバルバスへ転送するための自カード内のメモリに書き込む。その後、BINT0は自カードが通信制御データを持っていることを、プロセッサカードに知らせるために、すべてのプロセッサカードPC0からPC2に割り込みをかける。

【0010】プロセッサカードの内、割り込みマスクを解除している割り込みの応答処理が可能なプロセッサカードは、運用系バスインタフェースカードBINT0内の通信制御データを自カード内に読み込むために、BINT0内部の特定領域のフラグを取りに行き、フラグが取れたプロセッサカードが割り込み処理を行う。割り込み処理中のプロセッサカードは、自カードの割り込みマスクを有効にして、割り込みを受け付けないようにする。

【0011】複数のプロセッサカードが割り込みの応答処理のために運用系バスインタフェースカードBINT

6

0にアクセスした場合は、最初にBINT0にアクセスしたプロセッサカードにより、特定領域のフラグがすぐに取りれているため、その他のプロセッサカードは割り込み処理には入れず、再びBINT0から割り込みがかかるのを待つ。割り込み処理を行うプロセッサカードは、BINT0から通信制御データを読み出す。

【0012】待機系バスインタフェースカードBINT1においては、BINT0と同じ通信制御データが書き込まれているので、BINT1と同様の処理を行い、プロセッサカードに引き渡すべき通信制御データを持っている。

【0013】割り込み処理を行うプロセッサカードはBINT0から通信制御データを読み出した後、BINT1に前記通信制御データを読み出したことを通知する。

【0014】BINT1は、割り込み処理をおこなうプロセッサカードがBINT0から通信制御データを読み出したのを通知されるため、BINT1内の該当する通信制御データを破棄することができる。このようにして、BINT0とBINT1の内部の通信制御データの状態が同一に保たれる。

【0015】通信制御データを読み込んだプロセッサカードは、グローバルバスGBに接続された共通メモリカードMEMCに記録されている通信の各種情報がある制御テーブルとの間で処理を行うために、共通メモリカードとの間でデータ転送を通常複数回行う。プロセッサカードが共通メモリカードにデータを書き込みをする場合は、運用系共通メモリカードMEMC0と待機系共通メモリカードMEMC1に同時に書き込み、データを読み出す場合は、運用系メモリカードMEMC0のみから読み出す。

【0016】その後、プロセッサカードは処理の結果得られた通信制御データをバスインタフェースカードBINT0に転送する。BINT0に通信制御データを転送後、プロセッサカードはBINT1にも同様の通信制御データを転送する。データ転送後、このプロセッサカードは、割り込みマスクを解除し、再びBINT0から割り込みがかけられるのを待つ。

【0017】運用系バスインタフェースカードBINT0は、プロセッサカードにより転送された通信制御データを入出力バスIOBを介して入出力カードIOC0あるいはIOC1に転送する。転送後、BINT0は前記通信制御データを転送したことを、BINT1に通知する。BINT1は、自カード内にある入出力カードに転送すべき通信制御データと同じデータが、BINT0により入出力カードに転送されたことを通知されるため、該当する通信制御データを破棄することができる。通信制御データを転送されたIOC0あるいはIOC1は入出力回線を介して対向装置にデータを送信して一連の処理が終了する。

【0018】監視カードSOPCは、一定時間ごとに各

10

20

30

40

50

カードをアクセスしており、そのカードが正常に動作しているか監視をしている。

【0019】通信制御用コンピュータでは通信制御用データを、複数のプロセッサカードを使用して均等に負荷分散を行いながら以上のような一連の処理をおこなっている。

【0020】

【発明が解決しようとする課題】このように構成された従来の通信制御用コンピュータでは、障害が発生したときでも、その障害により通信制御用コンピュータ全体が処理不可能にならないように、通信制御データを記録したり、データを処理したりするカードは通常2重化されたり、並列化されたりしている。バスインタフェースカードと共通メモリカードは2重化されており、運用系カードに障害が発生した場合は、待機系カードに切り換わるようになっている。

【0021】また、入出力カードとプロセッサカードは並列化されており、どれかのカードに障害が発生しても残りのカードで処理を引き続きおこない、所定の性能を満たせるようになっている。

【0022】運用系カードと待機系カードの構成を持つカードの内、共通メモリカードは、その機能が通信制御データを記録するのみであるので、一般にカード内部にプロセッサを持たず、内部構成も簡単であり、その動作はプロセッサカードからの通信制御データの書き込み制御信号および読み出し制御信号をもとにすべて制御されるため、プロセッサカードから、運用系カードと待機系カードの両方のカードに全く同時に通信制御データを書き込んだり、運用系カードからのみデータを読み出したたりすることができ、容易に2つのカードが記録している通信制御データの内容を同一に保つことができる。

【0023】このため、運用系カードに障害が発生したことを検出した場合は、直ちにこの運用系カードでの運用を中止すると同時に待機系カードを新たに運用系カードとして切り換えて運用することにより、処理を遅らせることなく、また通信制御データを損失することなく処理を続けることができる。

【0024】一方、バスインタフェースカードは、内部にプロセッサを内蔵しており、そのプロセッサおよびそれを動作させるプログラムにより、カードがどのように動作するかが決定される。このため例えば、運用系カードと待機系カード内でそのプロセッサが処理すべき割り込みが発生した場合は、それぞれの割り込みは、それぞれのプロセッサで非同期に処理されるため、2つのプロセッサでの処理は必ずしも同一タイミングで行われているわけではない。

【0025】このため、プロセッサカードからバスインタフェースカードにデータを書き込む場合は、運用系カードと待機カードに全く同一タイミングで同時書き込みするのではなく、最初に運用系カードに書き込み、次に

待機系カードに書き込むという方法をとっている。

【0026】プロセッサカードがバスインタフェースからデータを読み出す場合は、運用系カードと待機系カードを同一タイミングでアクセスし運用系カードのデータのみを読み出すのではなく、最初に運用系カードから読み出し、次にデータをよみだしたことを待機系カードに通知するという方法をとっている。

【0027】これはバスインタフェースカードが入出力カードに対してデータを書き込み時、および読み出し時も同様で、運用系カードが入出力カードからデータを読み出した後、待機系カードに同一のデータを書き込んだり、運用系カードが入出力カードにデータを書き込んだ後に、データを書き込んだことを待機系カードに通知する。

【0028】このようにバスインタフェースカードにおいては、運用系カードと待機系カードの処理が全く同一タイミングで行われているわけではないため、運用系カードに対してデータを読み出しあるいは書き込みした後、待機系カードに対してもデータ転送あるいはデータ転送した通知をしなければならないため、データ転送のオーバーヘッドが大きく、通信制御用コンピュータの処理速度の高速化を妨げるという問題点があった。

【0029】また、バスインタフェースカードの運用系カードと待機系カードが、同一タイミングにおいて、同じデータを保有し、同じ処理をしているとは限らないため、運用系カードに障害が発生し、待機系カードに切り換わった時に、正常に処理が継続されることが困難という問題点もあった。

【0030】本発明は上記課題を解決するもので、バスインタフェースカードに対するデータ転送のオーバーヘッドを低減し、処理速度を高速化するとともに、運用系バスインタフェースカードに障害が発生し、待機系カードに切り換わった場合に、容易に正常に処理が継続され耐故障性の高いプロセッサの同期装置および同期方法を提供することを目的とする。

【0031】

【課題を解決するための手段】上記目的を達成するため、請求項1のプロセッサの同期装置は、運用系プロセッサカードと待機系プロセッサカードのプロセッサクロックを同期化する機構を備え、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまでデータ転送を待たせる機構を備えることによりプロセッサの同期を取るものである。

【0032】また、請求項2のプロセッサの同期装置は、請求項1に記載のプロセッサの同期装置において、処理が進んでいるプロセッサカードが、各カード間を接続するバス信号を使って、処理が遅れているプロセッサカードを同一処理タイミングになるまで、データ転送を

10

20

30

40

50

待たせる機構を備えることにより、プロセッサの同期を取るものである。

【0033】また、請求項3のプロセッサの同期装置は、請求項1および請求項2に記載のプロセッサの同期装置において、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ機構を備えることにより、プロセッサの同期を取るものである。

【0034】また、請求項4のプロセッサの同期装置は、請求項3に記載のプロセッサの同期装置において、待機系プロセッサカードのデータ転送の開始および完了を検出する機構を備え、前記検出機構からのデータ転送の開始および完了の信号を運用系プロセッサカードに通知する信号線を備えることにより、プロセッサの同期を取るものである。

【0035】また、請求項5のプロセッサの同期装置は、請求項1および請求項2に記載のプロセッサの同期装置において、プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまでデータ転送を待たせることにより、プロセッサの同期を取るものである。

【0036】また、請求項6のプロセッサの同期装置は、請求項3および請求項4に記載のプロセッサの同期装置において、プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に、高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つことにより、プロセッサの同期を取るものである。

【0037】また、請求項7のプロセッサの同期装置は、請求項1から請求項6に記載のプロセッサの同期装置において、割り込みが発生した時に、運用系プロセッサカード内の割り込み発生信号のみを、各プロセッサカードを接続するバスに出力するものである。

【0038】また、請求項8のプロセッサの同期装置は、請求項1から請求項6に記載のプロセッサの同期装置において、待機系プロセッサカードからの割り込み発生信号と、運用系プロセッサカード内の割り込み発生信号がともに有効になったときに、各プロセッサカードを接続するバスに割り込み発生信号を出力するものである。

【0039】また、請求項9のプロセッサの同期装置は、請求項1および請求項2に記載のプロセッサの同期装置において、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードに対する、処理が遅れているプロセッサカードの処理

遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、同一処理タイミングになるまでデータ転送を待つ機構を解除するものである。

【0040】また、請求項10のプロセッサの同期装置は、請求項3および請求項4に記載のプロセッサの同期装置において、運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ機構を解除するものである。

【0041】また、請求項11のプロセッサの同期装置は、請求項9に記載のプロセッサの同期装置において、運用系プロセッサカードと待機系プロセッサカード間の処理遅れの時間が、あらかじめ決められた時間以上の時に、処理が遅れているプロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知するものである。

【0042】また、請求項12のプロセッサの同期装置は、請求項10に記載のプロセッサの同期装置において、運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間があらかじめ決められた時間以上の時に、待機系プロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知するものである。

【0043】また、請求項13のプロセッサの同期装置は、請求項11に記載のプロセッサの同期装置において、運用系プロセッサカードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて運用するものである。

【0044】また、請求項14のプロセッサの同期装置は、請求項12に記載のプロセッサの同期装置において、待機系プロセッサカードの処理に対する運用系プロセッサカードの処理遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知する機構を備え、運用系カードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて運用するものである。

【0045】また、請求項15のプロセッサの同期方法は、運用系プロセッサカードと待機系プロセッサカードのプロセッサクロックを同期化する方法を備え、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまでデータ転送を待たせる方法を備えることによりプロセッサの同期を取るものである。

【0046】また、請求項16のプロセッサの同期方法

10

20

30

40

50

は、請求項 15 に記載のプロセッサの同期方法において、処理が進んでいるプロセッサカードが、各カード間を接続するバス信号を使って、処理が遅れているプロセッサカードを同一処理タイミングになるまで、データ転送を待たせる方法を備えることにより、プロセッサの同期を取るものである。

【0047】また、請求項 17 のプロセッサの同期方法は、請求項 15 および請求項 16 に記載のプロセッサの同期方法において、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ方法を備えることにより、プロセッサの同期を取るものである。

【0048】また、請求項 18 のプロセッサの同期方法は、請求項 17 に記載のプロセッサの同期方法において、待機系プロセッサカードのデータ転送の開始および完了を検出する方法を備え、前記検出方法によるデータ転送の開始および完了の信号を運用系プロセッサカードに通知する方法を備えることにより、プロセッサの同期を取るものである。

【0049】また、請求項 19 のプロセッサの同期方法は、請求項 15 および請求項 16 に記載のプロセッサの同期方法において、プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまでデータ転送を待たせることにより、プロセッサの同期を取るものである。

【0050】また、請求項 20 のプロセッサの同期方法は、請求項 17 および請求項 18 に記載のプロセッサの同期方法において、プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に、高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つことにより、プロセッサの同期を取るものである。

【0051】また、請求項 21 のプロセッサの同期方法は、請求項 15 から請求項 20 に記載のプロセッサの同期方法において、割り込みが発生した時に、運用系プロセッサカード内の割り込み発生信号のみを、各プロセッサカードを接続するバスに出力するものである。

【0052】また、請求項 22 のプロセッサの同期方法は、請求項 15 から請求項 20 に記載のプロセッサの同期方法において、待機系プロセッサカードからの割り込み発生信号と、運用系プロセッサカード内の割り込み発生信号がともに有効になったときに、各プロセッサカードを接続するバスに割り込み発生信号を出力するものである。

【0053】また、請求項 23 のプロセッサの同期方法

は、請求項 15 および請求項 16 に記載のプロセッサの同期方法において、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードに対する、処理が遅れているプロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、同一処理タイミングになるまでデータ転送を待つ方法を解除するものである。

【0054】また、請求項 24 のプロセッサの同期方法は、請求項 17 および請求項 18 に記載のプロセッサの同期方法において、運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ方法を解除するものである。

【0055】また、請求項 25 のプロセッサの同期方法は、請求項 23 に記載のプロセッサの同期方法において、運用系プロセッサカードと待機系プロセッサカード間の処理遅れの時間が、あらかじめ決められた時間以上の時に、処理が遅れているプロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知するものである。

【0056】また、請求項 26 のプロセッサの同期方法は、請求項 24 に記載のプロセッサの同期方法において、運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間があらかじめ決められた時間以上の時に、待機系プロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知するものである。

【0057】また、請求項 27 のプロセッサの同期方法は、請求項 25 に記載のプロセッサの同期方法において、運用系プロセッサカードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて運用するものである。

【0058】また、請求項 28 のプロセッサの同期方法は、請求項 26 に記載のプロセッサの同期方法において、待機系プロセッサカードの処理に対する運用系プロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知する方法を備え、運用系カードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて運用するものである。

【0059】

【発明の実施の形態】以下、本発明の実施の形態について、図を用いて説明する。

【0060】（実施の形態 1）本発明の実施の形態 1 の

10

20

30

40

50

プロセッサの同期装置および同期方法は、請求項1、2、3、4、15、16、17、18に対応したプロセッサの同期装置および同期方法である。

【0061】図1は本発明の実施の形態1による通信制御用コンピュータのグローバルバスと入出力バスを接続するための、バスインタフェースカードの構成を示す図である。このバスインタフェースカード以外の構成は、基本的には従来例と同様である。

【0062】BINT0、BINT1はそれぞれ運用系および待機系のバスインタフェースカードであり、CPU0およびCPU1はそれぞれバスインタフェースカード内の運用系および待機系のプロセッサ、PLL0およびPLL1はそれぞれ運用系および待機系の位相同期ループ回路、GGC0およびGGC1はグローバルバスに対する、それぞれ運用系および待機系のバスゲート回路、IGC0およびIGC1は入出力バスに対する、それぞれ運用系および待機系のバスゲート回路、GWAITは運用系のバスインタフェースカードが、待機系バスインタフェースカードよりも処理がすすんでいた場合に、グローバルバスに接続されたカードあるいは装置とバスインタフェースカード間のデータ転送を待たせるためのグローバルバスデータ転送ウエイト回路、IWAITは運用系のバスインタフェースカードが、待機系バスインタフェースカードよりも処理がすすんでいた場合に、入出力バスに接続されたカードあるいは装置とバスインタフェースカード間のデータ転送を待たせるための入出力バスデータ転送ウエイト回路、GBはグローバルバス、IOBは入出力バス、GBCLKはグローバルバスのクロック信号である。

【0063】IAS0およびIAS1はそれぞれ運用系および待機系バスインタフェースカードの入出力バスに対するデータ転送開始信号、GDTACK0およびGDTACK1はそれぞれ運用系および待機系バスインタフェースカードのグローバルバスに対するデータ転送完了信号であり、ここでは一般的なバス制御回路の信号の内、アドレス開始信号およびデータ転送完了信号をそのまま使用している。GWAITはGバスゲート回路GGC0に対してゲートを開けるのを遅らせるGバスデータ転送ウエイト信号、IWAITは入出力バスゲート回路IGC0に対してゲートを開けるのを遅らせる入出力バスデータ転送ウエイト信号である。

【0064】本実施の形態では、BINT0とBINT1は、外部のカード等とデータ転送する場合は、以下のように設定されている。グローバルバスを介してのBINTへのデータ書き込みは、BINT0とBINT1への書き込みが同時に行われ、グローバルバスを介してのBINTからのデータ読み出しは、BINT0およびBINT1に同時に読み出し用の制御信号が入力されるが、BINTからのデータはBINT0ではGバスゲート回路GGC0が開いているため、そのデータはグロー

バルバス上に出力され、外部のカード等に転送されるが、BINT1ではGバスゲート回路GGC1が閉じているので、グローバルバス上には出力されない。

【0065】入出力バスを介してBINTカードが外部のカード等にデータを書き込む場合は、BINT0とBINT1が同時にデータを書き込もうとしても、入出力バスに対して書き込み用の制御信号および書き込み用のデータが出力されるのは、入出力バスゲート回路IGC0が開いているBINT0のみであり、IGC1が閉じているBINT1の書き込み用制御信号および書き込み用のデータは入出力バスには出力されない。BINTが外部カードのデータを入出力バスを介して読み出す場合も、読み出し制御用の信号が入出力バスに出力されるのは、IGC0が開いているBINT0のみであるが、外部カードから読み出されたデータはIGC0およびIGC1が開けられているため、BINT0およびBINT1の両カードに読み込まれる。

【0066】以上のように運用系および待機系BINTと他カードのデータ転送は設定されており、図1を使用して実施の形態1の動作を説明する。

【0067】BINT0およびBINT1のプロセッサCPU0およびCPU1は、GBのクロック信号GBCLKをそれぞれ位相同期ループ回路PLL0およびPLL1を通したプロセッサクロック信号で動作している。一般にグローバルバスの周波数は10~40MHz程度であり、これを位相同期ループ回路を通すことにより、CPUで一般に使用されるプロセッサクロックの周波数40MHz~100MHzに周波数変換している。PLL0およびPLL1で周波数変換され、CPU0およびCPU1に出力されるクロック信号は同期が取れているため、CPU0とCPU1を動かすプログラムを運用系と待機系とを同一にしておけば、2つのCPUは通常は全く同じタイミングで同じ処理をすることができる。

【0068】ただし、バスインタフェースカード内部、あるいはカード外部からCPU0またはCPU1に対して割り込みが発生した場合は、その割り込みは、2つのCPUで非同期で受け付けられるので、これ以後2つのCPUが全く同じタイミングで同じ処理をすることは保証できず、数プロセッサクロック処理がずれる可能性がある。このため、図1においてはバスインタフェースカードが、外部のカード等とデータ転送をする場合に同期を取るという方法をとっている。

【0069】BINTが入出力カードからデータを読み出す場合、BINT1の処理が進んでいるときは、IAS0よりも先にIAS1が有効となり、読み出し制御信号を入出力バスに出力しようとするが、待機系カードであるために、IGC1が閉じられており、入出力バスへ読み出し制御信号が出力されないため、入出力カードから読み出しデータ、データ転送完了信号が出力されず、BINT1は読み出しデータ待ちの状態になる。数クロ

ックおくれ、BINT0の処理がBINT1に追いつき、入出力カードに対して読み出し制御信号を開いているIGC0を介して出力すると、入出力カードから読み出しデータおよびデータ転送完了信号が出力されるので、BINT0もBINT1もそれぞれIGC0およびIGC1を介してデータを読み込む。BINT0の処理が進んでいるときは、IAS0がIAS1よりも先に有効になるが、入出力バスデータ転送ウエイト回路IWAIT0がIAS1が有効になるまで、IWAITを出力し、IGC0を開けるのをウエイトさせる。数クロックおくれ、IAS1が有効になると、IWAIT0から出力されていたIWAITが無効となりBINT0は入出力カードに読み出し制御信号を出力し、入出力カードからのデータをBINT0およびBINT1がそれぞれIGC0およびIGC1を介して読み込む。

【0070】BINTが入出力カードにデータを書き込む場合は、BINT1の処理が進んでいるときは、IAS0よりも先にIAS1が有効となり、書き込み制御信号を入出力バスに出力しようとするが、待機系カードであるために、IGC1が閉じられており、入出力バスに書き込み制御信号、書き込みデータが出力されないで、入出力カードからデータ転送完了信号は出力されず、BINT0の処理待ち状態になる。数クロックおくれ、BINT0の処理がBINT1に追いつき、入出力カードに対して書き込み制御信号、書き込みデータを開いているIGC0を介して出力すると、入出力カードからデータ転送完了信号が出力されるので、BINT0およびBINT1が書き込み完了となる。

【0071】BINT0の処理が進んでいるときは、IAS0がIAS1よりも先に有効になるが、入出力バスデータ転送ウエイト回路IWAIT0がIAS1が有効になるまで、IWAITを出力し、IGC0を開けるのをウエイトさせる。数クロックおくれ、IAS1が有効になると、IWAIT0で出力されていたIWAITが無効となりBINT0は入出力カードに書き込み制御信号と書き込みデータをIGC0を介して出力すると、入出力カードからのデータ転送完了信号が出力されるので、BINT0およびBINT1が書き込み完了となる。

【0072】このようにしてBINTは、入出力カードに対してデータの読み出しおよび書き込み時に、運用系カードと待機系カードの同期を取っている。

【0073】次にBINTが、グローバルバス上のプロセッサカードに対してデータの読み出しおよび書き込みされる場合の運用系カードと待機系カードの同期を述べる。

【0074】BINTがグローバルバスを介してプロセッサカード等の外部のカードからデータを読み出される場合、BINT1の処理が進んでいるときは、データ転送完了信号GDTACK0よりも先にGDTACK1が

有効となり、読み出しデータを入出力バスに出力しようとするが、待機系カードであるために、GGC1が閉じられているので、BINT1から読み出しデータ、データ転送完了信号は出力されないため、プロセッサカードはデータ待ちの状態になる。数クロックおくれ、BINT0の処理がBINT1に追いつき、プロセッサカードに対して読み出しデータ、データ転送完了信号をGGC0を介して出力すると、プロセッサカードはデータを読み込む。

10 【0075】BINT0の処理が進んでいるときは、GDTACK0がGDTACK1よりも先に有効になるが、Gバスデータ転送ウエイト回路GWAIT0がGDTACK1が有効になるまで、GWAITを出力し、GGC0を開けるのをウエイトさせるので、読み出しデータとデータ転送完了信号は出力されない。数クロックおくれ、GDTACK1が有効になると、GWAIT0で出力されていたGWAITが無効となりBINT0はプロセッサカードに読み出しデータ、データ転送完了信号をGGC0を介して出力し、プロセッサカードはデータを読み込む。

20 【0076】BINTがグローバルバスを介してプロセッサカード等の外部のカードからデータを書き込まれる場合、BINT1の処理が進んでいるときは、データ転送完了信号GDTACK0よりも先にGDTACK1が有効となるが、待機系カードであるために、BINT1からデータ転送完了信号はグローバルバスに出力されないため、プロセッサカードはデータ転送完了待ちの状態になる。数クロックおくれ、BINT0の処理がBINT1に追いつき、プロセッサカードに対して、データ転送完了信号を介して出力すると、プロセッサカードはデータ書き込み完了となる。

30 【0077】BINT0の処理が進んでいるときは、DACK0がDACK1よりも先に有効になるが、Gバスデータ転送ウエイト回路GWAIT0がDACK1が有効になるまで、GWAITを出力し、GGC0を開けるのをウエイトさせるので、BINT0のデータ転送完了信号はグローバルバスへは出力されない。数クロックおくれ、GDTACK1が有効になると、GWAIT0で出力されていたGWAITが無効となりBINT0はプロセッサカードにデータ転送完了信号をGGC0を介して出力し、プロセッサカードはデータ書き込み完了となる。

40 【0078】このようにしてBINTは、グローバルバス上のプロセッサカード等の外部のカードに対してデータの読み出しおよび書き込み時に、運用系カードと待機系カード間で生じる可能性のある数プロセッサクロックの処理タイミングのずれを、同期をとることによりなくしている。この同期をとるための数プロセッサクロック分の時間は、従来例に示した運用系カードと待機系カードのデータを一致させるために、待機系カードに対して

データ転送する時間に比較して十分に短いため、BINTのデータ転送に対するオーバーヘッドを低減させることができる。なお、運用系カードと待機系カードの同期がずれてない場合は、同期をとるための時間を必要としないため、BINTのデータ転送に対するオーバーヘッドをなくすることができる。

【0079】以上のように、本実施の形態1においては、待機系プロセッサカードのデータ転送開始およびデータ転送完了を検出し、データ転送開始信号およびデータ転送完了信号を運用系プロセッサカードに通知し、運用系プロセッサカードが待機系プロセッサカードを処理が同じタイミングになるまで待つことにより、両者の同期を取っているため、データ転送におけるオーバーヘッドが低減され処理速度を高速化することができる。

【0080】(実施の形態2) 本発明の実施の形態2のプロセッサの同期装置および同期方法は、請求項5、6、19、20に対応したプロセッサの同期装置および同期方法である。

【0081】図2は本発明の実施の形態2による通信制御用コンピュータのグローバルバスと入出力バスを接続するための、バスインタフェースカードの構成を示す図である。このバスインタフェースカード以外の構成は、基本的には従来例と同様である。

【0082】MEM0およびMEM1はそれぞれ、運用系および待機系バスインタフェースカード内のメモリである。WBUF0およびWBUF1はそれぞれ、グローバルバスとMEM0およびMEM1間に設けられたグローバルバス用の高速なライトバッファである。

【0083】GWAIT0は運用系のバスインタフェースカードが、待機系バスインタフェースカードよりも処理がすすんでいた場合に、グローバルバスに接続されたカードあるいは装置とバスインタフェースカード間のデータ転送を待たせるためのグローバルバスデータ転送ウェイト回路であり、ここではBINT0からデータが読み出されるときにのみ、動作するように設定されている。その他の記号は、本発明の実施の形態1の図1に同じである。

【0084】図2において、入出力バスを介して入出力カードにバスインタフェースカードからデータを書き込み、読み出しする場合は、実施の形態1と同じである。

【0085】グローバルバスに接続されているプロセッサカードからバスインタフェースカードに対してデータを書き込む場合は、BINT0とBINT1で数プロセッサクロック分、処理タイミングがずれており、プロセッサカードがBINT0およびBINT1内のメモリに直接同時に書き込めないことがある。このためBINT0およびBINT1内にはGバスライトバッファ回路WBUF0およびWBUF1を設けて、プロセッサカードは一端このWBUF0およびWBUF1に同時にデータを書き込んで、データの書き込みを終了する。

Gバスライトバッファ回路WBUF0およびWBUF1はそれぞれMEM0およびMEM1にデータが書き込めるようになったら、プロセッサカードから書かれたデータをMEM0およびMEM1に書き込む。

【0086】データを読み出す場合は、実施の形態1と同様である。BINT1の処理が進んでいるときは、BINT1は待機系カードであるために、BINT0の処理が追いついてくるのを待ち、処理タイミングが同じになったところでGCG0を通じて、プロセッサカードに読み込まれる。なお、読み出し時はデータはGバスライトバッファ回路を介さない。

【0087】BINT0が進んでいるときは、GDTACK0が有効になってもGDTACK1が有効になるまでGWAIT0がGWAITを有効にしてGCG0を閉じているため、読み出しデータおよびデータ転送完了信号はグローバルバスに出力されない。GDTACK1が有効になると、GWAITが無効になりGCG0が開けられるので、読み出しデータおよびデータ転送完了信号がグローバルバスに出力され、プロセッサカードはデータを読み出すことができる。

【0088】このように、BINTはグローバルバスにおいてデータを転送する場合、BINTからデータを読み出すときのみ、BINT0とBINT1の同期を取っており、BINTにデータを書き込む場合は、Gバスライトバッファ回路にいったん書き込むため、BINT0とBINT1の同期は不要となり、書き込み時におけるデータ転送を高速におこなうことができる。

【0089】以上のように、本実施の形態2においては、プロセッサカード内のメモリと各プロセッサカードを接続するバス間に、高速なライトバッファをプロセッサカード内に備え、プロセッサカードからデータを読み出す時のみ、運用系プロセッサカードが待機系プロセッサカードを、処理が同じタイミングになるまで待つことにより、両者の同期を取っているため、さらにデータ転送におけるオーバーヘッドがされ処理速度を高速化することができる。

【0090】(実施の形態3) 本発明の実施の形態3のプロセッサの同期装置および同期方法は、請求項7、21に対応したプロセッサの同期装置および同期方法である。実施の形態3の動作を図1を使用して説明する。

【0091】BINT0およびBINT1内において、割り込みが発生しその割り込みをそれぞれのプロセッサCPU0およびCPU1が処理している場合には、2つのプロセッサの処理タイミングは数プロセッサクロック分ずれている可能性がある。このようなときに、BINT0およびBINT1がグローバルバスに対して割り込み発生信号を出力しようとする場合、2つの割り込み発生信号の同期を取らずに運用系カード割り込み発生信号のみをグローバルバスに出力する。待機系カードの割り込み発生信号の発生が早くても、待機系カードの割り込

み発生信号はグローバルバスに出力されないため、割り込み処理待ちとなり、数プロセッサクロック遅れて運用系カードから割り込み発生信号がバスに出力されるため、この時点で2つのカードの同期が取れる。

【0092】運用系カードの割り込みが待機系カードよりも早く発生し、グローバルバスに割り込み発生信号が出力されても、割り込み発生信号にตอบสนองしてプロセッサカードがバスインタフェースカードにアクセスを開始するまでは、通常数バスクロック時間かかり、これはBINT1における、割り込み発生信号の数プロセッサクロックの遅れに比較して2〜4倍と充分大きい。このためプロセッサカードがバスインタフェースカードに対して割り込み応答のためのアクセスを開始したときは、待機系カードにおいても割り込み発生信号が発生しているおり、待機系カードと運用系カードの同期が取れることになる。

【0093】以上のように、実施の形態3においては、割り込みが発生した時に、運用系プロセッサカード内の割り込み発生信号のみを、各プロセッサカードを接続するバスに出力することにより簡単に運用系カードと待機系カードの同期をとることができる。

【0094】（実施の形態4）本発明の実施の形態4のプロセッサの同期装置および同期方法は、請求項8、22に対応したプロセッサの同期装置および同期方法である。

【0095】図3は本発明の実施の形態4による通信制御用コンピュータのバスインタフェースカードの構成を示す図である。図3において、GIRQ0は運用系カードからの割り込み発生信号、GIRQ1は待機系カードからの割り込み発生信号、IRQG0はGバス割り込みゲート回路、GIRQ00はIRQG0からグローバルバスに出力される割り込み発生信号である。

【0096】通常、割り込み発生信号においては、実施の形態3で説明したように、運用系カードと待機系カードの割り込み発生信号の発生タイミングが、同一でなく数プロセッサクロックずれていても、運用系カードの割り込み発生信号のみをグローバルバスに出力すれば、割り込み発生信号にตอบสนองして、プロセッサカードがバスインタフェースカードにアクセスを開始するまでには数バスクロックかかるため、この間にBINT0とBINT1の割り込みの同期が取れるとしていた。

【0097】しかし、バスクロックとプロセッサクロックの周波数がほぼ同等のバスインタフェースカードにおいては、運用系カードが出力した割り込み発生信号にตอบสนองするプロセッサカードのアクセスタイミングと、運用系カードに遅れて待機系カードが割り込み発生信号を発生するタイミングとがほぼ同時におこる可能性があるため、待機系カードがプロセッサカードからのアクセスに対して正常に動作しない可能性がある。

【0098】このため図3においては、Gバス割り込み

ゲート回路IRQG0を設けて、運用系カードBINT0からの割り込み発生信号GIRQ0と待機系カードBINT1からの割り込み発生信号GIRQ1がともに有効になったときに初めてグローバルバスに割り込み発生信号GIRQ00を出力するようにしてある。このため、グローバルバスに割り込み発生信号GIRQ00が出力されるときは、BINT0とBINT1が同期が取れているので、プロセッサカードからの割り込み発生信号にตอบสนองするアクセスがあってもBINT1はBINT0同様に正常に動作することができる。

【0099】以上のように、実施の形態4においては、割り込みが発生した時に、運用系プロセッサカード内の割り込み発生信号と待機系プロセッサカードからの割り込み発生信号がともに有効になったときのみ、各プロセッサカードを接続するバスに割り込み発生信号を出力することにより、バスクロックとプロセッサクロックの周波数がほぼ同等であっても確実に運用系カードと待機系カードの同期をとることができる。

【0100】（実施の形態5）本発明の実施の形態5のプロセッサの同期装置および同期方法は、請求項9、10、11、12、13、14、23、24、25、26、27、28に対応したプロセッサの同期装置および同期方法である。

【0101】図4は本発明の実施の形態5による通信制御用コンピュータのバスインタフェースカードの構成を示す図である。

【0102】図4において、TIMEC0およびTIMEC1は、GDTACK0とGDTACK1がそれぞれ有効となる時間の差およびIAS0とIAS1がそれぞれ有効となる時間の差を測定し、その時間差があらかじめ決められた時間以上であったならば、ウェイト信号を解除する信号を出力する時間測定／ウェイト解除回路、GFREEおよびIFREEはそれぞれ時間測定／ウェイト解除回路TIMEC0が出力するGバスデータ転送ウェイト回路WAIT0および入出力バスデータ転送ウェイト回路WAIT0に対するウェイト解除信号である。EMAN0およびEMAN1は、運用系および待機系カードにおいて障害が発生したと判断、通知し、運用系カードに障害が発生した場合は、その運用系カードでの運用を中止し、待機系カードを新たに運用系カードとして切り換えて運用する障害処理回路であり、ERR0およびERR1は運用系カードおよび待機系カードに障害が発生したことを通知する障害発生通知信号である。その他の記号は、本発明の実施の形態1の図1に同じである。

【0103】図4において、運用系カードが待機系カードの処理遅れを待ち、運用系カードと待機系カードの同期を取る方法は実施の形態1と同様である。

【0104】このとき、時間測定／ウェイト解除回路TIMEC0ではGDTACK0とGDTACK1がそれ

それぞれ有効となる時間の差およびIAS0とIAS1がそれぞれ有効となる時間の差を測定している。このときGDTACK1がGDTACK0に対してある決められた時間以上経っても有効にならない場合は待機系カードが何らかの原因で同期できない状態にあるとして、TIMEC0はGFREEを出力し、待機系カードの処理を待たためにウェイト信号GWAITを出力しているGWAIT0に対してウェイト信号を解除させて、待機系カードの同期を待たずにグローバルバスでデータ転送を行う。

【0105】GFREEは運用系カードの障害処理回路EMAN0にも出力されており、EMAN0はGFREEが有効になったことにより、待機系カードで同期できない状態が発生したことを知り、それを障害が発生したと判断する。障害が発生したと判断したことにより、EMAN0は待機系カードに障害が発生したことを示す障害発生通知信号ERR1を有効にして、待機系カード内の障害発生処理回路EMAN1に通知する。障害を通知されたEMAN1では障害発生時の処理を行い、必要とあれば操作者に通知する。

【0106】同様にIAS1がIAS0に対してある決められた時間以上経っても有効にならない場合も、TIMEC0は待機系カードが同期できない状態にあるとして、IFREEを出力し、待機系カードの処理を待たためにウェイト信号IWAITを出力しているIWAIT0に対してウェイト信号を解除させて、待機系カードの同期を待たずに入出力バスでデータ転送を行う。

【0107】IFREEは運用系カードの障害処理回路EMAN0にも出力されており、EMAN0はIFREEが有効になったことにより、待機系カードで同期できない状態が発生したことを知り、それを障害が発生したと判断する。EMAN0は待機系カードに障害が発生したことを示す障害発生通知信号ERR1を有効にして、待機系カード内の障害発生処理回路EMAN1に通知する。障害を通知されたEMAN1では障害発生時の処理を行い、必要とあれば操作者に通知する。

【0108】このようにして、運用系カードに対して待機系カードの処理の遅れがあらかじめ決められた時間以上のときに、待機系カードに障害が発生したと判断して、障害が発生したことを通知し、障害発生時の処理をする。

【0109】次に運用系カードに障害が発生したときの処理を述べる。図4において、待機系カードのTIMEC1には、GDTACK0がGDTACK1に対してある決められた時間以上経っても有効にならない場合は、運用系カードに何らかの原因で同期できない状態にあることを、障害処理回路EMAN1に通知する。EMAN1は、運用系カードで同期できない状態が発生したことを知り、それを障害が発生したと判断する。障害が発生したと判断したことにより、EMAN1は運用系カード

に障害が発生したことを示す障害発生通知信号ERR0を有効にして、運用系カード内の障害発生処理回路EMAN0に通知する。障害を通知されたEMAN0ではGGC0およびIGC0のゲートをすべて閉じ、この運用系カードでの運用を中止し、障害発生時の処理を行い、必要とあれば操作者に通知する。

【0110】EMAN1は運用系カードに障害が発生したことを、ERR0を有効にして通知すると同時に、待機系カードを新たに運用系カードとして切り換えて運用する処理を行う。

【0111】以後、バスインタフェースカードへのアクセスには、このカードが運用系カードとしてデータ転送を行う。

【0112】同様にTIMEC1はIAS0がIAS1に対してある決められた時間以上経っても有効にならない場合も、運用系カードに何らかの原因で同期できない状態にあることを、障害処理回路EMAN1に通知する。EMAN1は、運用系カードで同期できない状態が発生したことを知り、それを障害が発生したと判断し、EMAN1は運用系カードに障害が発生したことを示す障害発生通知信号ERR0を有効にして、運用系カード内の障害発生処理回路EMAN0に通知する。障害を通知されたEMAN0ではGGC0およびIGC0のゲートをすべて閉じ、この運用系カードでの運用を中止し、障害発生時の処理を行い、必要とあれば操作者に通知する。

【0113】EMAN1は運用系カードに障害が発生したことを、ERR0を有効にして通知すると同時に、待機系カードを新たに運用系カードとして切り換えて運用する処理を行う。

【0114】以後、バスインタフェースカードへのアクセスには、このカードが運用系カードとしてデータ転送を行う。

【0115】このようにして、運用系カードに障害が発生したと判断したときは、この運用系カードでの運用を中止し、今までの運用系カードと全く同じデータを保有している待機系カードを運用系カードとして切り換えて運用することにより、容易に正常に処理を継続できる。

【0116】以上のように、運用系カードと待機系カード間の処理の遅れがあらかじめ決められた時間以上のときに、障害が発生したと判断、通知し、障害発生時の処理をすることにより、システムの耐故障性を高めることができる。

【0117】

【発明の効果】このように、本発明の請求項1のプロセッサの同期装置によれば、運用系プロセッサカードと待機系プロセッサカードのプロセッサクロックを同期化する機構を備え、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タ

イミングになるまでデータ転送を待たせる機構を備えることにより、バスにおけるデータ転送のオーバーヘッドを低減し、処理速度を高速化することができる。

【0118】本発明の請求項2のプロセッサの同期装置によれば、請求項1に記載のプロセッサの同期装置において、各カード間を接続するバス信号を使って、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまで、データ転送を待たせる機構を備えることにより、容易に運用系プロセッサカードと待機系プロセッサカードを同期さ

せることができ、バスにおけるデータ転送のオーバーヘッドを低減し、処理速度を高速化することができる。

【0119】本発明の請求項3のプロセッサの同期装置によれば、請求項1および請求項2に記載のプロセッサの同期装置において、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ機構を備えることにより、バスにおけるデータ転送のオーバーヘッドを低減し、処理速度を高速化することができる。

【0120】本発明の請求項4のプロセッサの同期装置によれば、請求項3に記載のプロセッサの同期装置において、待機系プロセッサカードのデータ転送の開始および完了を検出する機構を備え、前記検出機構からのデータ転送開始および完了の信号を運用系プロセッサカードに通知する信号線を備えることにより、バスにおけるデータ転送のオーバーヘッドを低減し、処理速度を高速化することができる。

【0121】本発明の請求項5のプロセッサの同期装置によれば、請求項1および請求項2に記載のプロセッサの同期装置において、プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまでデータ転送を待たせる機構を備えることにより、バスにおけるデータ転送のオーバーヘッドをさらに低減し、処理速度を高速化することができる。

【0122】本発明の請求項6のプロセッサの同期装置によれば、請求項3および請求項4に記載のプロセッサの同期装置において、プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ機構を備えることにより、バスにおけるデータ転送のオーバーヘッドをさらに低減し、処理速度を高速化することができる。

【0123】本発明の請求項7のプロセッサの同期装置によれば、請求項1から請求項6に記載のプロセッサの同期装置において、割り込みが発生した時に、運用系プ

ロセッサカード内の割り込み発生信号のみを各プロセッサカードを接続するバスに出力する機構を備えることにより、容易に運用系カードと待機系カードの同期をとることができる。

【0124】本発明の請求項8のプロセッサの同期装置によれば、請求項1から請求項6に記載のプロセッサの同期装置において、待機系プロセッサカードからの割り込み発生信号と、運用系プロセッサカード内の割り込み発生信号がともに有効になったときに、各プロセッサカードを接続するバスに割り込み発生信号を出力する機構を備えることにより、確実に運用系カードと待機系カードの同期をとることができる。

【0125】本発明の請求項9のプロセッサの同期装置によれば、請求項1および請求項2に記載のプロセッサの同期装置において、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードに対する、処理が遅れているプロセッサカードの処理遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、同一処理タイミングになるまでデータ転送を待つ機構を解除する機構を備えることにより、プロセッサカードに同期できない状態が発生しても、引き続き処理を継続することができる。

【0126】本発明の請求項10のプロセッサの同期装置によれば、請求項3および請求項4に記載のプロセッサの同期装置において、運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ機構を解除する機構を備えることにより、待機系プロセッサカードに同期できない状態が発生しても、引き続き処理を継続することができる。

【0127】本発明の請求項11のプロセッサの同期装置によれば、請求項9に記載のプロセッサの同期装置において、運用系プロセッサカードと待機系プロセッサカード間の処理遅れの時間が、あらかじめ決められた時間以上の時に、処理が遅れているプロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知する機構を備えることにより、障害が発生した場合、的確に障害処理をすることができる。

【0128】本発明の請求項12のプロセッサの同期装置によれば、請求項10に記載のプロセッサの同期装置において、運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間があらかじめ決められた時間以上の時に、待機系プロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知する機構を備えることにより、待機系プロセッサカードに障害が発生した場合、的確に障害処理をすることができる。

【0129】本発明の請求項13のプロセッサの同期装

10

20

30

40

50

置によれば、請求項 11 に記載のプロセッサの同期装置において、運用系プロセッサカードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて、容易に正常に処理を継続することができシステムの耐故障性を高めることができる。

【0130】本発明の請求項 14 のプロセッサの同期装置によれば、請求項 12 に記載のプロセッサの同期装置において、待機系プロセッサカードの処理に対する運用系プロセッサカードの処理遅れの時間を測定する機構を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードに障害が発生したと判断する機構と、前記障害が発生したことを通知する機構を備え、運用系カードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて、容易に正常に処理を継続することができシステムの耐故障性を高めることができる。

【0131】本発明の請求項 15 のプロセッサの同期方法によれば、運用系プロセッサカードと待機系プロセッサカードのプロセッサクロックを同期化する方法を備え、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまでデータ転送を待たせる方法を備えることにより、バスにおけるデータ転送のオーバーヘッドを低減し、処理速度を高速化することができる。

【0132】本発明の請求項 16 のプロセッサの同期方法によれば、請求項 15 に記載のプロセッサの同期方法において、各カード間を接続するバス信号を使って、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまで、データ転送を待たせる方法を備えることにより、容易に運用系プロセッサカードと待機系プロセッサカードを同期させることができ、バスにおけるデータ転送のオーバーヘッドを低減し、処理速度を高速化することができる。

【0133】本発明の請求項 17 のプロセッサの同期方法によれば、請求項 15 および請求項 16 に記載のプロセッサの同期方法において、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ方法を備えることにより、バスにおけるデータ転送のオーバーヘッドを低減し、処理速度を高速化することができる。

【0134】本発明の請求項 18 のプロセッサの同期方法によれば、請求項 17 に記載のプロセッサの同期方法において、待機系プロセッサカードのデータ転送の開始および完了を検出する方法を備え、前記検出方法によるデータ転送開始および完了の信号を運用系プロセッサカードに通知する方法を備えることにより、バスにおける

データ転送のオーバーヘッドを低減し、処理速度を高速化することができる。

【0135】本発明の請求項 19 のプロセッサの同期方法によれば、請求項 15 および請求項 16 に記載のプロセッサの同期方法において、プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、処理が進んでいるプロセッサカードが、処理が遅れているプロセッサカードを同一処理タイミングになるまでデータ転送を待たせる方法を備えることにより、バスにおけるデータ転送のオーバーヘッドをさらに低減し、処理速度を高速化することができる。

【0136】本発明の請求項 20 のプロセッサの同期方法によれば、請求項 17 および請求項 18 に記載のプロセッサの同期方法において、プロセッサカード内のメモリと、各プロセッサカードを接続するバス間に高速なライトバッファをプロセッサカード内に備え、カード外の装置がプロセッサカードからデータを読み出す時のみ、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ方法を備えることにより、バスにおけるデータ転送のオーバーヘッドをさらに低減し、処理速度を高速化することができる。

【0137】本発明の請求項 21 のプロセッサの同期方法によれば、請求項 15 から請求項 20 に記載のプロセッサの同期方法において、割り込みが発生した時に、運用系プロセッサカード内の割り込み発生信号のみを各プロセッサカードを接続するバスに出力する方法を備えることにより、容易に運用系カードと待機系カードの同期をとることができる。

【0138】本発明の請求項 22 のプロセッサの同期方法によれば、請求項 15 から請求項 20 に記載のプロセッサの同期方法において、待機系プロセッサカードからの割り込み発生信号と、運用系プロセッサカード内の割り込み発生信号がともに有効になったときに、各プロセッサカードを接続するバスに割り込み発生信号を出力する方法を備えることにより、確実に運用系カードと待機系カードの同期をとることができる。

【0139】本発明の請求項 23 のプロセッサの同期方法によれば、請求項 15 および請求項 16 に記載のプロセッサの同期方法において、プロセッサカードがカード外の装置とデータ転送を行う時に、処理が進んでいるプロセッサカードに対する、処理が遅れているプロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、同一処理タイミングになるまでデータ転送を待つ方法を解除する方法を備えることにより、プロセッサカードに同期できない状態が発生しても、引き続き処理を継続することができる。

【0140】本発明の請求項 24 のプロセッサの同期方

法によれば、請求項17および請求項18に記載のプロセッサの同期方法において、運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードが、待機系プロセッサカードの処理の遅れを待つ方法を解除する方法を備えることにより、待機系プロセッサカードに同期できない状態が発生しても、引き続き処理を継続することができる。

【0141】本発明の請求項25のプロセッサの同期方法によれば、請求項23に記載のプロセッサの同期方法において、運用系プロセッサカードと待機系プロセッサカード間の処理遅れの時間が、あらかじめ決められた時間以上の時に、処理が遅れているプロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知する方法を備えることにより、障害が発生した場合、的確に障害処理をすることができる。

【0142】本発明の請求項26のプロセッサの同期方法によれば、請求項24に記載のプロセッサの同期方法において、運用系プロセッサカードに対する待機系プロセッサカードの処理遅れの時間があらかじめ決められた時間以上の時に、待機系プロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知する方法を備えることにより、待機系プロセッサカードに障害が発生した場合、的確に障害処理をすることができる。

【0143】本発明の請求項27のプロセッサの同期方法によれば、請求項25に記載のプロセッサの同期方法において、運用系プロセッサカードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プロセッサカードを新たに運用系プロセッサカードとして切り換えて、容易に正常に処理を継続することができシステムの耐故障性を高めることができる。

【0144】本発明の請求項28のプロセッサの同期方法によれば、請求項26に記載のプロセッサの同期方法において、待機系プロセッサカードの処理に対する運用系プロセッサカードの処理遅れの時間を測定する方法を備え、前記時間があらかじめ決められた時間以上の時に、運用系プロセッサカードに障害が発生したと判断する方法と、前記障害が発生したことを通知する方法を備え、運用系カードに障害が発生したと判断した時は、前記運用系プロセッサカードでの運用を中止し、待機系プ

ロセッサカードを新たに運用系プロセッサカードとして切り換えて、容易に正常に処理を継続することができる。システムの耐故障性を高めることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による通信制御用コンピュータのグローバルバスと入出力バスを接続するための、バスインタフェースカードの構成を示す図

【図2】本発明の実施の形態2による通信制御用コンピュータのグローバルバスと入出力バスを接続するための、バスインタフェースカードの構成を示す図

【図3】本発明の実施の形態4による通信制御用コンピュータのグローバルバスと入出力バスを接続するための、バスインタフェースカードの構成を示す図

【図4】本発明の実施の形態5による通信制御用コンピュータのグローバルバスと入出力バスを接続するための、バスインタフェースカードの構成を示す図

【図5】従来の通信制御用コンピュータの構成を示す図

【符号の説明】

PC0, PC1, PC2 プロセッサカード

MEMC0, MEMC1 共通メモリカード

BINT0, BINT1 バスインタフェースカード

SOPC 監視カード

IOC0, IOC1 入出力カード

GB グローバルバス

IOB 入出力バス

CPU0, CPU1 プロセッサ

PLL0, PLL1 位相同期ループ回路

GGC0, GGC1, IGC0, IGC1 バスゲート回路

WAIT0, WAIT0 データ転送ウェイト回路

GBCLK グローバルバスのクロック信号

IAS0, IAS1 データ転送開始信号

GDTACK0, GDTACK1 データ転送完了信号

WAIT, WAIT データ転送ウェイト信号

MEM0, MEM1 メモリ

WBUF0, WBUF1 ライトバッファ回路

IRQG0 割り込みゲート回路

GIRQ0, GIRQ1 割り込み発生信号

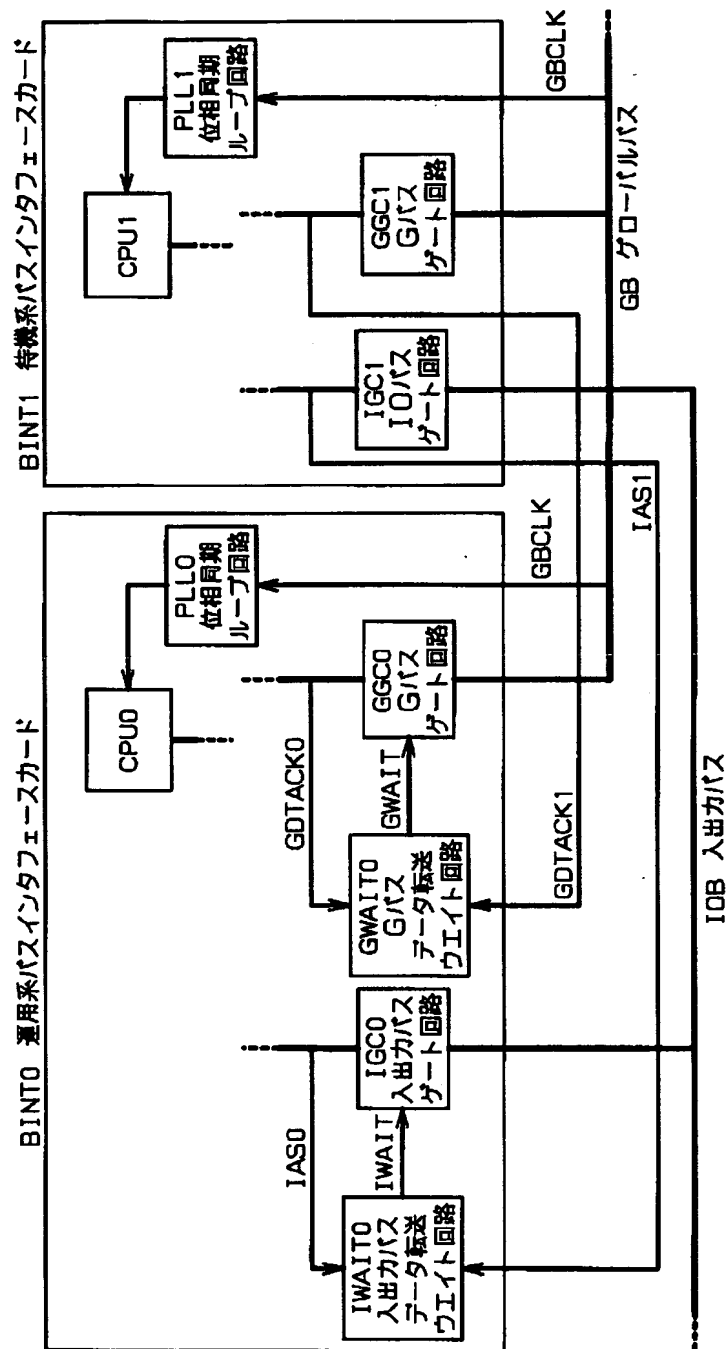
TIMEC0, TIMEC1 時間測定／ウェイト解除回路

EMAN0, EMAN1 障害処理回路

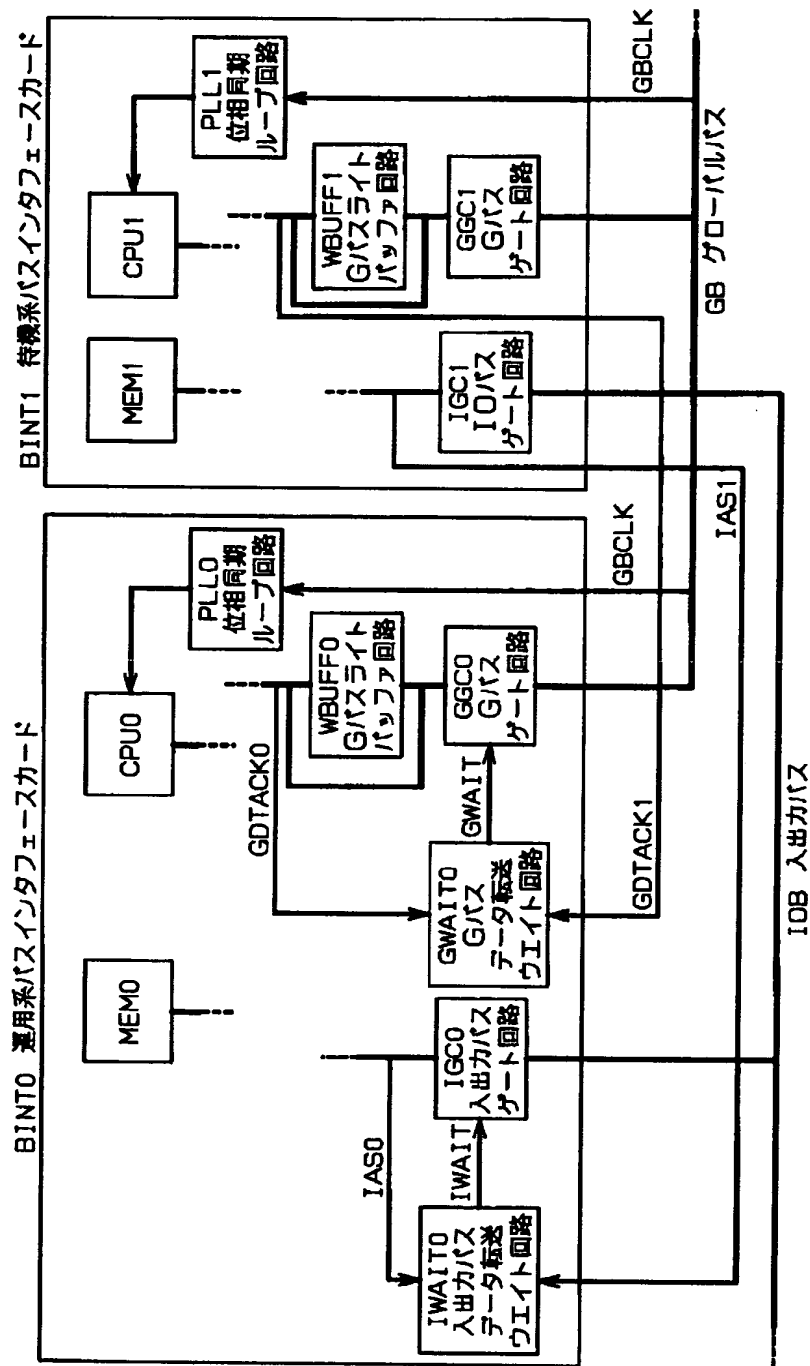
GFREE, IFREE ウェイト解除信号

ERR0, ERR1 障害発生通知信号

【図 1】



【図2】



The diagram illustrates the system architecture, showing the connection between the BINT0 (Application) and BINT1 (Waiting) software cards. The diagram is divided into two main sections: BINT0 (Application) on the left and BINT1 (Waiting) on the right.

BINT0 (Application) Section:

- CPU0:** The central processing unit for the application card.
- PLL0 (位相同期ループ回路):** Phase-locked loop circuit connected to CPU0.
- IGCO (入出力バスゲート回路):** Input/output bus gate circuit.
- IWAIT0 (入出力バスデータ転送ウェイト回路):** Input/output bus data transfer wait circuit.
- GWAITO (Gバスデータ転送ウェイト回路):** G-bus data transfer wait circuit.
- GGCO (Gバスゲート回路):** G-bus gate circuit.
- IRQGO (割り込みゲート回路):** Interrupt gate circuit.
- GBCLCK:** Global bus clock signal.
- IAS0:** Input/Output Address Bus signal.
- GDTACK0:** Data Transfer Acknowledge signal.

BINT1 (Waiting) Section:

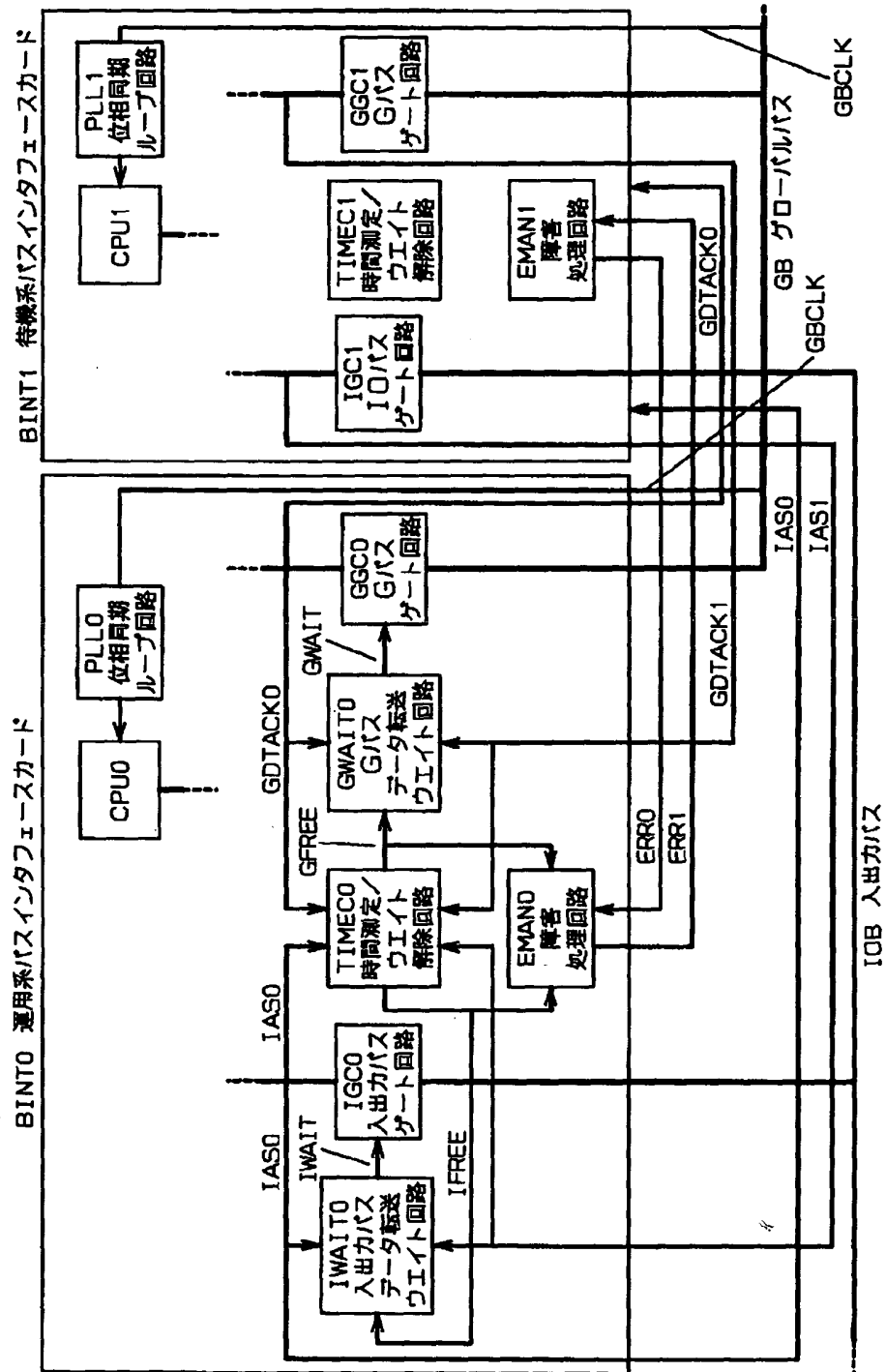
- CPU1:** The central processing unit for the waiting card.
- PLL1 (位相同期ループ回路):** Phase-locked loop circuit connected to CPU1.
- IGC1 (IOバスゲート回路):** IO bus gate circuit.
- GGC1 (Gバスゲート回路):** G-bus gate circuit.
- GBCLCK:** Global bus clock signal.
- GB グローバルバス:** Global bus connecting the two cards.
- IAS1:** Input/Output Address Bus signal.
- GDTACK1:** Data Transfer Acknowledge signal.

Inter-card Connections:

- GBCLCK:** Global bus clock signal shared between both cards.
- GB グローバルバス:** Global bus connecting the two cards.
- IAS0, IAS1:** Input/Output Address Bus signals.
- GDTACK0, GDTACK1:** Data Transfer Acknowledge signals.
- IRQGO, IRQQ1:** Interrupt signals.
- GWAITO, GWAIT1:** G-bus data transfer wait signals.
- GGCO, GGQ1:** G-bus gate signals.
- IGCO, IGC1:** Input/output bus gate signals.
- IWAIT0, IWAIT1:** Input/output bus data transfer wait signals.

IOB 入出力バス: Input/Output Bus connecting the two cards.

【図4】



【図 5】

